

Customer No. 31561
Application No.: 10/711,510
Docket No.13119-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

PATENT & TRADEMARK OFFICE

Applicant : Wang
Application No. : 10/711,510
Filed : Sep 23, 2004
For : ESD PROTECTION DEVICE WITH HIGH VOLTAGE
AND NEGATIVE VOLTAGE TOLERANCE
Examiner : N/A
Art Unit : 2835

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93107620,
filed on: 2004/3/22.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: March 16, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

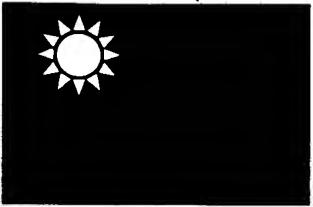
7F-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

Jaw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder.

申 請 日：西元 2004 年 03 月 22 日
Application Date

申 請 案 號：093107620
Application No.

申 請 人：凌陽科技股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

CERTIFIED COPY OF
PRIORITY DOCUMENT 發文日期：西元 2004 年 9 月
Issue Date

發文字號：09320828420
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 、 發明名稱	中文	可承受高電壓及負電壓的靜電放電保護裝置
	英文	ESD protection device for high voltage and negative voltage tolerance
二 、 發明人 (共1人)	姓名 (中文)	1. 王泰和
	姓名 (英文)	1. WANG, TAI HO
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市高翠路162巷52弄5號
	住居所 (英 文)	1. NO. 5, ALLEY 52, LANE 162, GAOCUEI RD., HSINCHU CITY 300, TAIWAN (R. O. C.)
三 、 申請人 (共1人)	名稱或 姓名 (中文)	1. 凌陽科技股份有限公司
	名稱或 姓名 (英文)	1. SUNPLUS TECHNOLOGY CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣科學園區創新一路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 19, INNOVATION ROAD 1, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 黃洲杰
	代表人 (英文)	1. HUANG, CHOU CHYE

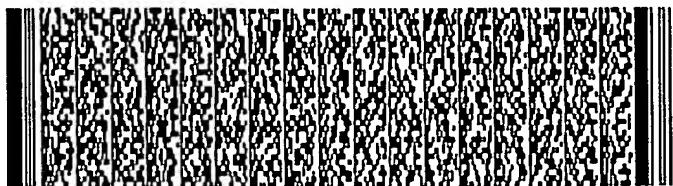


四、中文發明摘要 (發明名稱：可承受高電壓及負電壓的靜電放電保護裝置)

本發明揭露一種可承受高電壓及負電壓的靜電放電保護裝置，包括第一型基底、第一型井區、第二型井區、第二型第一摻雜區、第二型第二摻雜區以及隔離結構。第一型井區設置於第一型基底中，並且此第一型井區係為浮接(float)。第二型井區設置於第一型基底中，並且隔開第一型井區與第一型基底。此第二型井區耦接至第一電壓線。第二型第一摻雜區設置於第一型井區中，並耦接至第二電壓線。第二型第二摻雜區亦設置於第一型井區中，並且耦接至焊墊。隔離結構設置於第二型第一摻雜區以及第二型第二摻雜區之間。

五、英文發明摘要 (發明名稱：ESD protection device for high voltage and negative voltage tolerance)

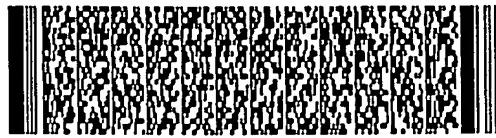
An ESD protection device for high voltage and negative voltage tolerance is provided. The ESD protection device includes a first-type substrate, a first-type well, a second-type well, a second-type first doped area, a second-type second doped area and a isolator. The first-type well is placed in the first-type substrate, and the first-type well is floating connection. The



四、中文發明摘要 (發明名稱：可承受高電壓及負電壓的靜電放電保護裝置)

五、英文發明摘要 (發明名稱：ESD protection device for high voltage and negative voltage tolerance)

second-type well is placed in the first-type substrate, and separates the first-type well from the first-type substrate. The second-type well couples to a first voltage line. The second-type first doped area is placed in the first-type well and couples to a second voltage line. The second-type second doped area is placed in the first-type well and couples to a pad. The



四、中文發明摘要 (發明名稱：可承受高電壓及負電壓的靜電放電保護裝置)

五、英文發明摘要 (發明名稱：ESD protection device for high voltage and negative voltage tolerance)

isolator is placed between the second-type first doped area and the second-type second doped area.



六、指定代表圖

(一)、本案代表圖為：第_____1_____圖

(二)、本案代表圖之元件代表符號簡單說明：

110：內部電路

111：內部電路之輸出訊號

120：焊墊(pad)

130：靜電放電保護裝置

131：靜電放電保護端

132、133：放電端

141：P型基底(P substrate)

142：高壓N型井(HVNW, high voltage N well)

143：N型埋入層(NBL, N buried layer)

144：P型井區(P well)

145、146：N型摻雜區

147：場氧化區(field oxide)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

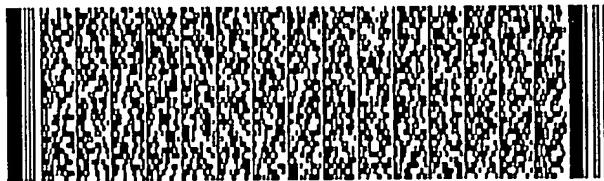
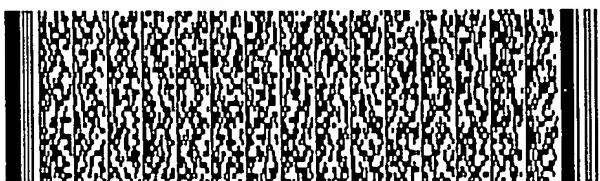
本發明是有關於一種靜電放電保護裝置，且特別是有關於一種可承受高電壓及負電壓的靜電放電保護裝置。

【先前技術】

靜電放電 (electrostatic discharge, ESD) 大致上可分為人體放電模式 (Human-Body Model, HBM) 、機械放電模式 (Machine Model, MM) 以及充電元件模式 (Charge-Device Model, CDM)。電子電路於實際使用環境中皆免不了遭受靜電放電的衝擊，若無適當的保護措施將導致部分元件損毀 (damage)。

在產品要求輕薄短小以及降低成本的今天，積體電路 (IC) 中的元件尺寸越來越小，因此更須考量其內部電路承受靜電放電衝擊的能力。在實際上，靜電放電電壓較一般電源電壓高出甚多，當靜電放電發生時，此靜電放電電壓將損毀鄰近的半導體元件，所以如何防止靜電放電到達內部電路是非常重要的。為避免前述情形，必須在積體電路中作一些靜電放電保護。

大部分的積體電路之輸出/入端，大多只有正電壓或高電壓之訊號，或者只有負電壓訊號，因此習知之靜電放電保護裝置都只能針對單一種工作電壓(高電壓或負電壓)之輸出/入端作靜電放電保護。然而隨著電子產品之多元化，越來越多積體電路必須於同一連接端輸出(或是輸入)高電壓以及負電壓訊號。例如，液晶顯示面板之源極驅動



五、發明說明 (2)

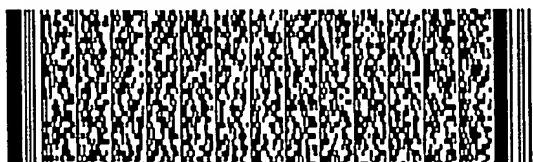
積體電路即需要於同一連接端(驅動液晶面板之通道)輸出高電壓或負電壓。習知技術很難做到於單一靜電放電保護裝置中，不但可承受高電壓並且亦可承受負電壓之靜電放電保護。

【發明內容】

本發明的目的就是在提供一種可承受高電壓及負電壓的靜電放電保護裝置，不論受保護電路之訊號為高電壓或是負電壓(或是二者皆有)，皆可同時提供Vdd模式以及Vss模式之靜電放電保護。

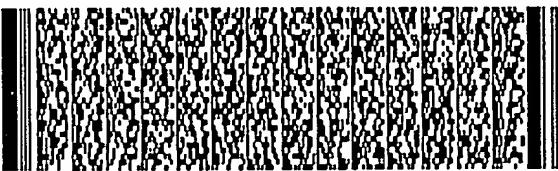
本發明的再一目的是提供一種可承受高電壓及負電壓的靜電放電保護裝置，除前述諸目的外，更能快速導出靜電脈衝。

本發明提出一種可承受高電壓及負電壓的靜電放電保護裝置，此靜電放電裝置包括第一型基底、第一型第二摻雜區以及第二型第二摻雜區。第一型井區設置於第一型基底中，並且此第一型井區係為浮接(float)。第二型井區設置於第一型基底中，並且隔開第一型井區與第一型基底。此第二型井區耦接至第一電壓線。第二型第一摻雜區設置於第一型井區中，並耦接至第二電壓線。第二型第二摻雜區設置於第一型井區中，並且耦接至焊墊。隔離結構設置於第二型第一摻雜區以及第二型第二摻雜區之間。



五、發明說明 (3)

依照本發明的較佳實施例所述可承受高電壓及負電壓的靜電放電保護裝置，其中所謂第一型例如為P型，則第二型為N型。上述之第二型井區例如可以深N型井(deep N well)所構成，或者是以N型埋入層(NBL, N buried layer)以及高壓N型井(high voltage N well)所構成。隔離結構例如為場氧化區(field oxide)或是淺溝隔離區(STI, shallow trench isolator)。另外，第一電壓線之電壓例如為系統電壓，而第二電壓線之電壓例如為接地電壓。



五、發明說明 (4)

另外，第一型第二井區亦設置於第一型基底中，並且隔開接至地。第二型第二井區設置於第一型基底中，並且隔開接至地。第一型第二井區與第一型基底。第二型第二井區耦接至中，並耦接至接地電壓線。第二型第三摻雜區設置於第一型第二井區中，並且耦接至前述內部電路之負壓輸出/入端。第二隔離結構設置於第二型第三摻雜區以及第二型第四摻雜區之間。

本發明因利用浮接之第一型井區(例如是P型井區)、隔離結構(例如為場氧化區)以及於靜電放電時導通之電晶體(實施例中為NPN電晶體)結構，因此得以提供靜電放電保護。由於第一型井區保持浮接，當靜電脈衝來臨時導致裝置中逆向之PN介面崩潰而產生暫時電流，此暫時電流馬上造成裝置中之電晶體(包含橫向電晶體與垂直電晶體)進入導通狀態，故靜電脈衝得以適時經由本裝置導引至系統電壓線或是接地電壓線，避免內部被燒毀。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

許多積體電路會在同一個連接端中輸出(或是輸入)高電壓以及負電壓訊號，例如液晶顯示面板之源極驅動積體電路即於同一驅動液晶面板通道之連接端輸出高電壓或

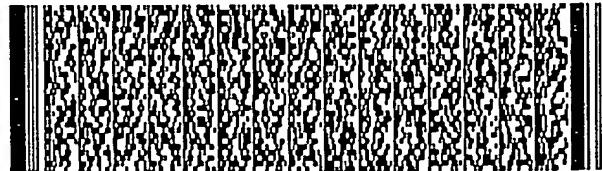
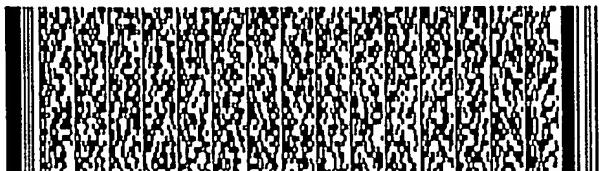
五、發明說明 (5)

負電壓。因此，在此依照本發明提供一實施例，以達到於單一靜電放電保護裝置中不但可承受高電壓，並且亦可承受負電壓之靜電放電保護。

圖1是依照本發明一較佳實施例繪示之一種可承受高電壓及負電壓的靜電放電保護裝置電路結構圖。請參照圖1，在此內部電路110表示在積體電路封裝中之欲保護電路，而焊墊(pad) 120則為內部電路110與積體電路封裝之接腳相連接之焊接點。在此，內部電路110透過同一焊墊120輸出高壓訊號以及負壓訊號。換句話說，經過焊墊120所傳送之輸出訊號111之工作電壓範圍係於高壓與負壓之間(例如+6V~-3V之間)。因此，必須確保在高壓與負壓之工作電壓範圍下均不會啟動靜電放電保護裝置。

依照本發明之觀點，在此本實施例提出一種可承受高電壓及負電壓的靜電放電保護裝置130，如圖1所示，包括P型基底(P substrate) 141、由高壓N型井(HVNW, high voltage N well) 142與N型埋入層(NBL, N buried layer) 143所構成之N型井區(N well)、P型井區(P well) 144、N型摻雜區145、N型摻雜區146以及利用場氧化區(field oxide) 147所構成之隔離結構。

P型井區144設置於P型基底141中並且保持浮接(float)。由高壓N型井142與N型埋入層143所構成之N型井區則設置於P型基底141中，並且隔開P型井區144與P型基底141。此N型井區引接為放電端133。N型摻雜區145設置於P型井區144中，並引接為靜電放電保護端131。N型摻雜



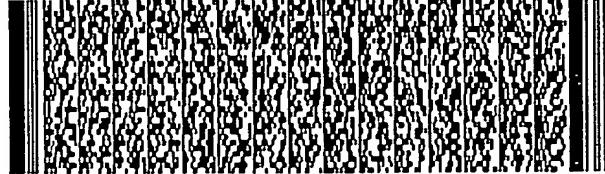
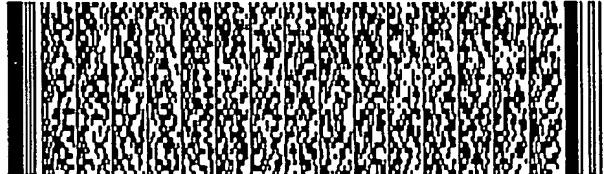
五、發明說明 (6)

區146亦設置於P型井區144中，並且引接為放電端132。場氧化區147則設置於N型摻雜區145以及N型摻雜區146之間。

上述隔離結構除了以場氧化區147實施外，尚可利用淺溝隔離區(STI, shallow trench isolator)或其他方式完成之。而上述N型井區除了如本實施例以高壓N型井142與N型埋入層143構成外，亦可以深N型井(deep N well)或其他方式完成之。上述之改變均屬本發明之範疇。

請繼續參照圖1，於本實施例中，靜電放電保護裝置130之靜電放電保護端131耦接至焊墊120，放電端132耦接至接地電壓線VSS，並且放電端133耦接至系統電壓線VDD。當內部電路110輸出高壓訊號(例如為6V)時，N型摻雜區145與P型井區144之接面可視為逆偏之二極體。此浮接之P型井區144因為無電流(或微量的反向飽和電流，reverse saturation current)而使其電壓 V_{PW} 趨近於接地電壓VSS。此時，橫向NPN電晶體(lateral NPN)(例如由N型摻雜區145、P型井區144與N型摻雜區146所構成)以及垂直NPN電晶體(vertical NPN)(例如由N型摻雜區145、P型井區144與N型埋入層143所構成)之基-射極電壓 $V_{BE}=V_{PW}-VSS$ 小於啟動(turn on)電晶體之臨界電壓(例如0.7V)。因此，靜電放電保護裝置130保持於截止狀態。

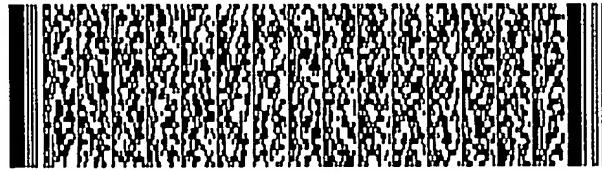
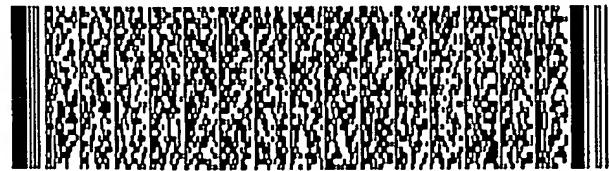
當內部電路110輸出負壓訊號(例如為-3V)時，N型摻雜區146與P型井區144之接面可視為逆偏之二極體(N型井區與P型井區144之接面亦同)。此浮接之P型井區144因為



五、發明說明 (7)

無電流(或微量的反向飽和電流)而使其電壓 V_{PW} 趨近於焊墊120之電壓 V_{PAD} 。此時，橫向NPN電晶體以及垂直NPN電晶體之基-射極電壓 $V_{BE} = V_{PW} - V_{PAD}$ 小於等於啟動電晶體之臨界電壓(例如0.7V)。因此，靜電放電保護裝置130保持於截止狀態。

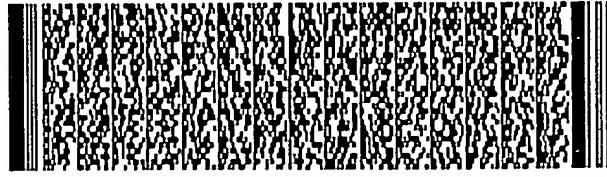
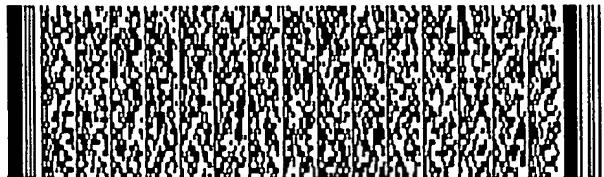
當有正靜電脈衝(通常其電壓遠大於系統電壓VDD)自焊墊120導接進入時，將導致N型摻雜區145與P型井區144之逆偏接面崩潰(break down)。此時，產生大量電流自N型摻雜區145通過P型井區144，此大量電流因其內電阻導致浮接之P型井區144的電壓 V_{PW} 瞬間上升。因此使電晶體(橫向以及垂直)之基-射極電壓 V_{BE} (即 $V_{PW} - VSS$ 或 $V_{PW} - VDD$)大於啟動電晶體之臨界電壓。因此，靜電放電保護裝置130即可瞬間啟動。當靜電放電保護裝置130瞬間啟動時，可將因靜電放電所造成之正脈衝電流經由N型摻雜區145、P型井區144以及N型井區(例如由高壓N型井142與N型埋入層143所構成)而導引至系統電壓線VDD。此種以系統電壓線VDD導引正脈衝靜電流之模式稱為PD模式(positive pulse VDD mode)。另外，當靜電放電保護裝置130瞬間啟動時，亦可將因靜電放電所造成之正脈衝電流經由N型摻雜區145、P型井區144以及N型摻雜區146而導引至接地電壓線VSS。此種以接地電壓線VSS導引正脈衝靜電流之模式稱為PS模式(positive pulse VSS mode)。因此，本發明可以快速且有效地將正靜電脈衝導引至接地電壓線VSS以及系統電壓線VDD而避免毀損內部電路110。



五、發明說明 (8)

當有負靜電脈衝(通常其電壓遠小於接地電壓VSS)自焊墊120導接進入時，將導致N型摻雜區146與P型井區144之逆偏接面崩潰(break down)而使得浮接之P型井區144的電壓 V_{PW} 瞬間下降。此時，產生大量電流自N型摻雜區146通過P型井區144，此大量電流因其內電阻導致浮接之P型井區144電壓 V_{PW} 與焊墊120電壓 V_{PAD} 間之電壓差(即橫向電晶體以及垂直電晶體之基-射極電壓 V_{BE})大於啟動電晶體之臨界電壓。因此，靜電放電保護裝置130即可瞬間啟動。當靜電放電保護裝置130瞬間啟動時，可將因靜電放電所造成之負脈衝電流經由N型摻雜區145、P型井區144以及N型井區(例如由高壓N型井142與N型埋入層143所構成)而導引至系統電壓線VDD。此種以系統電壓線VDD導引負脈衝靜電流之模式稱為ND模式(negative pulse VDD mode)。另外，當靜電放電保護裝置130瞬間啟動時，亦可將因靜電放電所造成之負脈衝電流經由N型摻雜區145、P型井區144以及N型摻雜區146而導引至接地電壓線VSS。此種以接地電壓線VSS導引負脈衝靜電流之模式稱為NS模式(negative pulse VSS mode)。因此，本發明可以快速且有效地將負靜電脈衝導引至接地電壓線VSS以及系統電壓線VDD而避免毀損內部電路110。

再此另舉一實施例，以更清楚說明本發明之應用。圖2是依照本發明另一較佳實施例繪示的一種可承受高電壓及負電壓的靜電放電保護裝置電路圖。請參照圖2，一般而言，內部電路欲輸出之高壓訊號與負壓訊號係分別由高



五、發明說明 (9)

壓輸出端112與負壓輸出端113輸出之，然後經由同一焊墊(120)輸出至積體電路外部。因此，可以利用靜電放電保護裝置210以及220(與圖1之靜電放電保護裝置130相同)分別偶接至高壓輸出端112與負壓輸出端113，其結果亦符合本發明之精神。

於本實施例中，靜電放電保護裝置210之靜電放電保護端211耦接至高壓輸出端112，放電端212與放電端213均耦接至系統電壓線VDD。靜電放電保護裝置220之靜電放電保護端221耦接至負壓輸出端113，放電端222與放電端223均耦接至接地電壓線VSS。當高壓輸出端112與負壓輸出端113之電壓均於正常工作電壓範圍時，靜電放電保護裝置210以及220均為截止狀態。當有正靜電脈衝或是負靜電脈衝自焊墊120導接進入時，靜電放電保護裝置210以及220立即自動啟動，因此可以將正靜電脈衝或負靜電脈衝迅速導引至接地電壓線VSS以及系統電壓線VDD，而避免毀損內部電路110。靜電放電保護裝置210以及220之操作類似前一實施例所述，故不在此贅述。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1是依照本發明一較佳實施例繪示之一種可承受高電壓及負電壓的靜電放電保護裝置電路結構圖。

圖2是依照本發明另一較佳實施例繪示的一種可承受高電壓及負電壓的靜電放電保護裝置電路圖。

【圖式標示說明】

110：內部電路

111：內部電路之輸出訊號

112：高壓輸出端

113：負壓輸出端

120：焊墊(pad)

130、210、220：靜電放電保護裝置

131、211、221：靜電放電保護端

132、133、212、213、222、223：放電端

141：P型基底(P substrate)

142：高壓N型井(HVNW, high voltage N well)

143：N型埋入層(NBL, N buried layer)

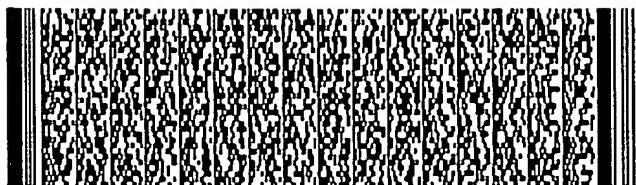
144：P型井區(P well)

145、146：N型摻雜區

147：場氧化區(field oxide)

VDD：系統電壓線

VSS：接地電壓線



六、申請專利範圍

1. 一種可承受高電壓及負電壓的靜電放電保護裝置，連接至一積體電路內之一焊墊，該靜電放電保護裝置包括：

一第一型基底；

一第一型井區，設置於該第一型基底中，該第一型井區係為浮接(float)；

一第二型井區，設置於該第一型基底中，並隔開該第一型井區與該第一型基底，該第二型井區耦接至一第一電壓線；

一第二型第一摻雜區，設置於該第一型井區中，並耦接至一第二電壓線；

一第二型第二摻雜區，設置於該第一型井區中，並耦接至該焊墊；以及

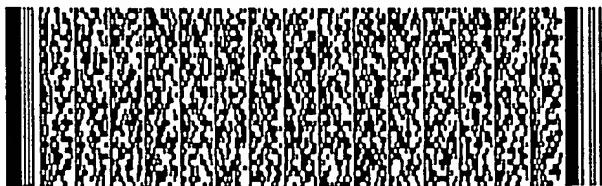
一隔離結構，設置於該第二型第一摻雜區以及該第二型第二摻雜區之間。

2. 如申請專利範圍第1項所述之靜電放電保護裝置，其中該第一型為P型，則第二型為N型。

3. 如申請專利範圍第1項所述之靜電放電保護裝置，其中該第二型井區係以深第二型井所構成。

4. 如申請專利範圍第1項所述之靜電放電保護裝置，其中該第二型井區係以第二型埋入層以及高壓第二型井所構成。

5. 如申請專利範圍第1項所述之靜電放電保護裝置，其中該隔離結構係為場氧化區(field oxide)。



六、申請專利範圍

6. 如申請專利範圍第1項所述之靜電放電保護裝置，其中該隔離結構係為淺溝隔離區(shallow trench isolator)。

7. 如申請專利範圍第1項所述之靜電放電保護裝置，其中該第一電壓線之電壓為一系統電壓，該第二電壓線之電壓為一接地電壓。

8. 如申請專利範圍第1項所述之靜電放電保護裝置，其中該第一電壓線與該第二電壓線之電壓皆為一系統電壓。

9. 如申請專利範圍第1項所述之靜電放電保護裝置，其中該第一電壓線與該第二電壓線之電壓皆為一接地電壓。

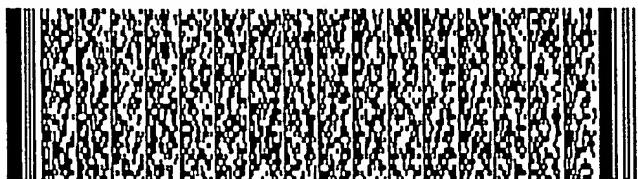
10. 一種可承受高電壓及負電壓的靜電放電保護裝置，用以保護一積體電路內之一內部電路，該內部電路具有至少一高壓輸出/入端以及至少一負壓輸出/入端，該靜電放電保護裝置包括：

一第一型基底；

一第一型第一井區，設置於該第一型基底中，該第一型第一井區係為浮接(float)；

一第二型第一井區，設置於該第一型基底中，並隔開該第一型第一井區與該第一型基底，該第二型第一井區耦接至一系統電壓線；

一第二型第一摻雜區，設置於該第一型第一井區中，並耦接至該系統電壓線；



六、申請專利範圍

一 第二型第二摻雜區，設置於該第一型第一井區中，並耦接至該高壓輸出/入端；

一 第一隔離結構，設置於該第二型第一摻雜區以及該第二型第二摻雜區之間；

一 第一型第二井區，設置於該第一型基底中，該第一型第二井區係為浮接；

一 第二型第二井區，設置於該第一型基底中，並隔開該第一型第二井區與該第一型基底，該第二型第二井區耦接至一接地電壓線；

一 第二型第三摻雜區，設置於該第一型第二井區中，並耦接至該接地電壓線；

一 第二型第四摻雜區，設置於該第一型第二井區中，並耦接至該負壓輸出/入端；以及

一 第二隔離結構，設置於該第二型第三摻雜區以及該第二型第四摻雜區之間。

11. 如申請專利範圍第10項所述之靜電放電保護裝置，其中該第一型為P型，則第二型為N型。

12. 如申請專利範圍第10項所述之靜電放電保護裝置，其中該第二型第一井區以及該第二型第二井區皆以深第二型井所構成。

13. 如申請專利範圍第10項所述之靜電放電保護裝置，其中該第二型第一井區以及該第二型第二井區皆以第二型埋入層以及高壓第二型井所構成。

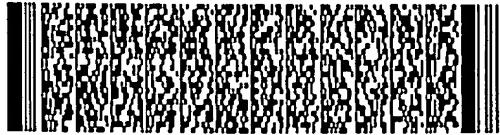
14. 如申請專利範圍第10項所述之靜電放電保護裝



六、申請專利範圍

置，其中該第一隔離結構以及該第二隔離結構皆為場氧化區(field oxide)。

15. 如申請專利範圍第10項所述之靜電放電保護裝置，其中該第一隔離結構以及該第二隔離結構皆為淺溝隔離區(shallow trench isolator)。



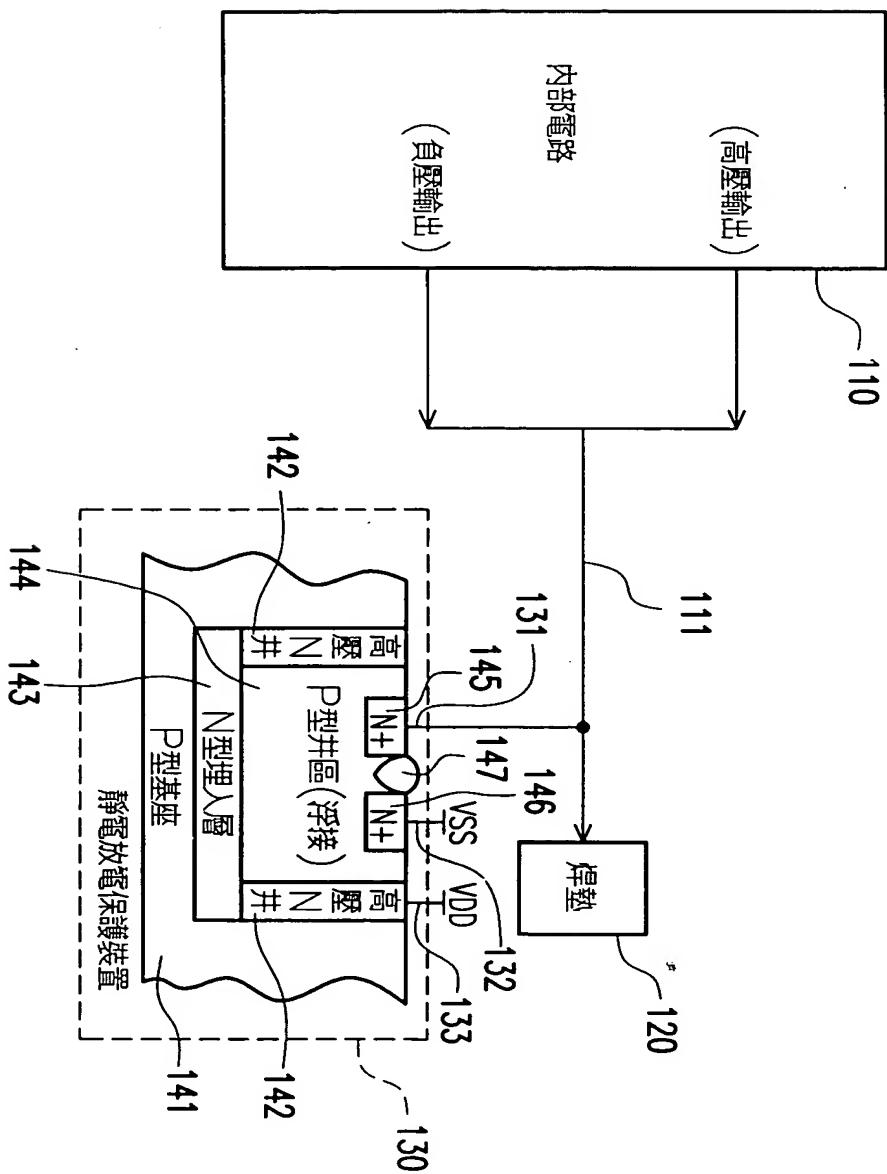


圖 1

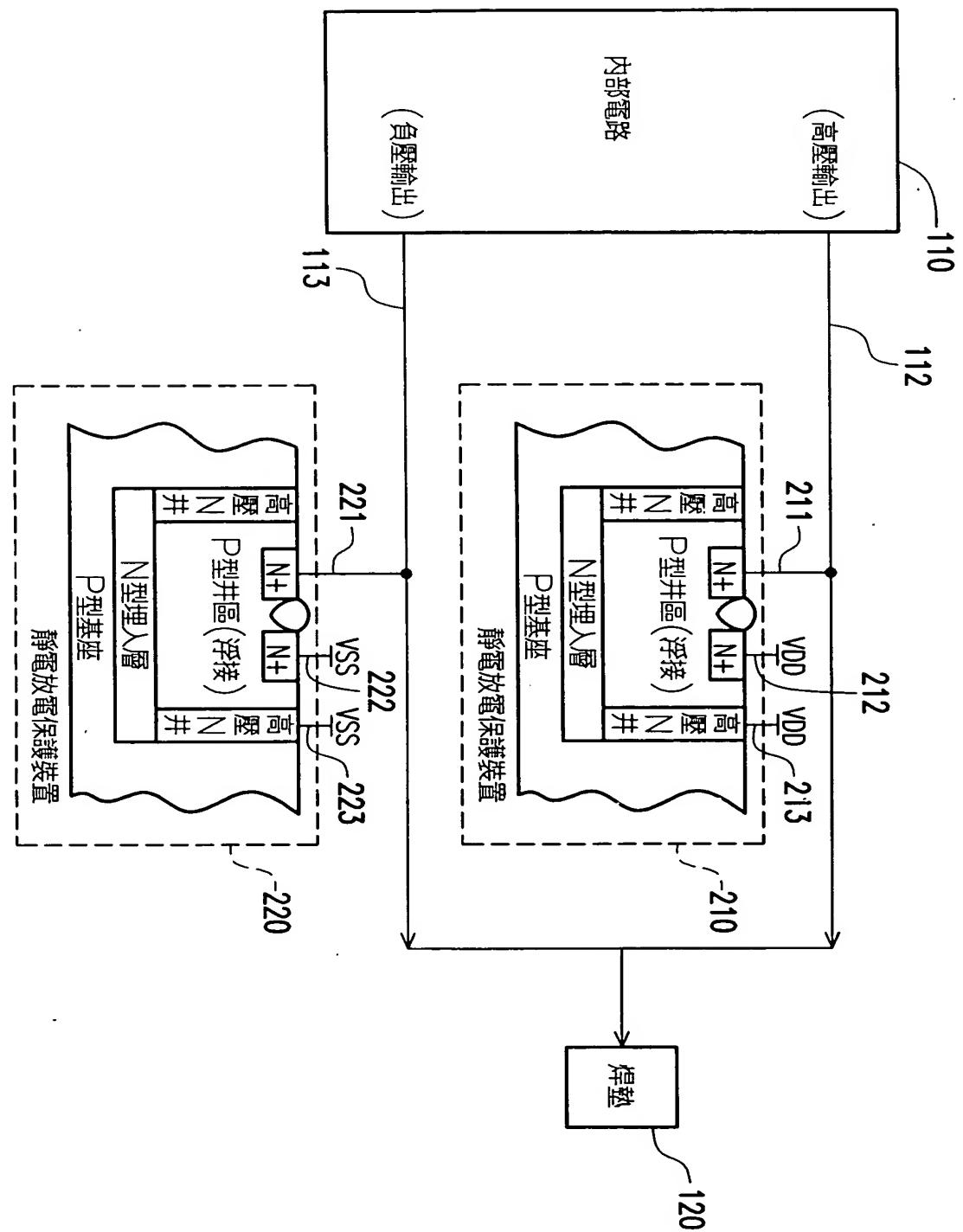
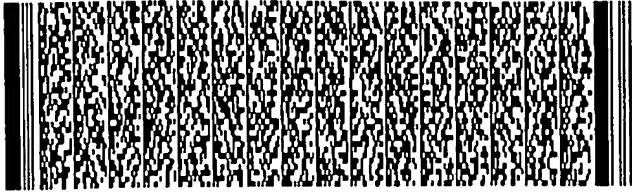


圖 2

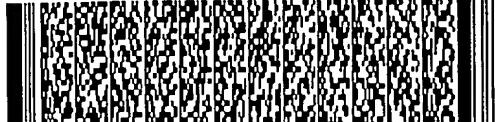
第 1/20 頁



第 2/20 頁



第 3/20 頁



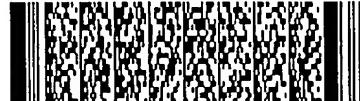
第 4/20 頁



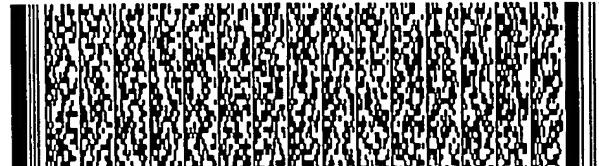
第 5/20 頁



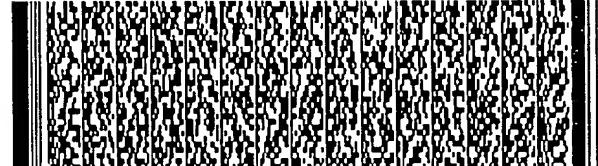
第 6/20 頁



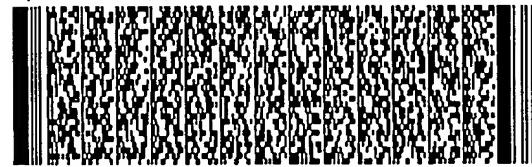
第 7/20 頁



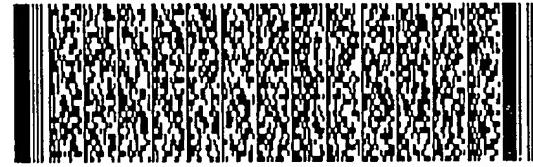
第 7/20 頁



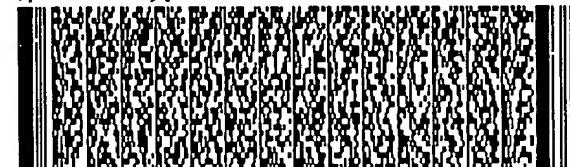
第 8/20 頁



第 8/20 頁



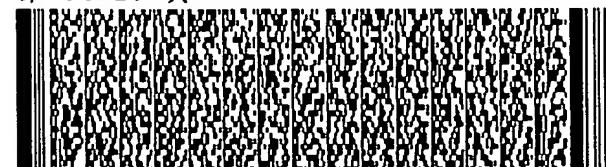
第 9/20 頁



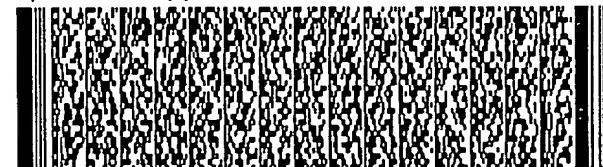
第 9/20 頁



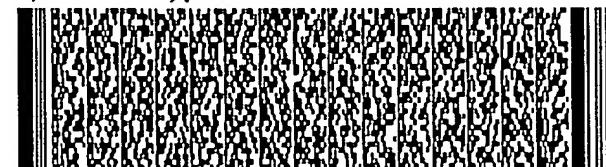
第 10/20 頁



第 10/20 頁



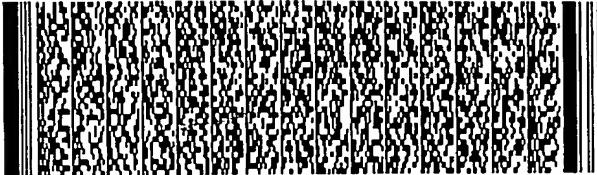
第 11/20 頁



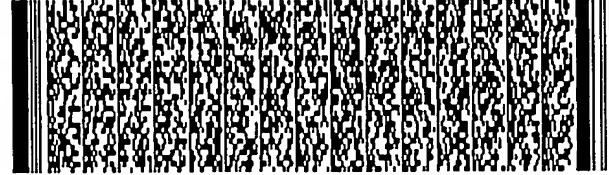
第 11/20 頁



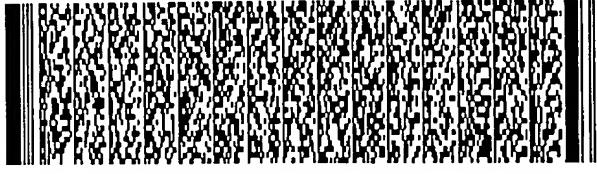
第 12/20 頁



第 12/20 頁



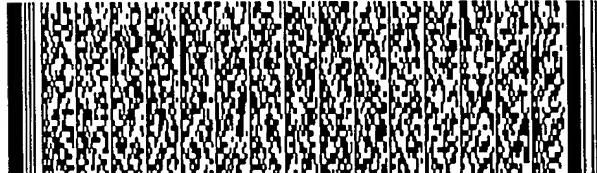
第 13/20 頁



第 13/20 頁



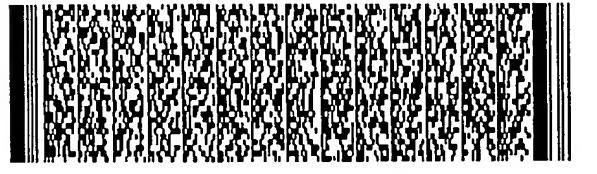
第 14/20 頁



第 14/20 頁



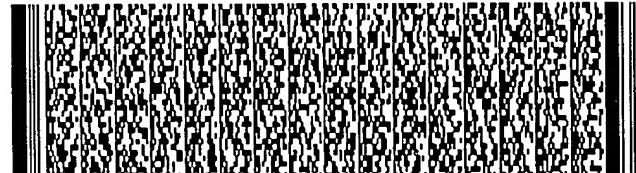
第 15/20 頁



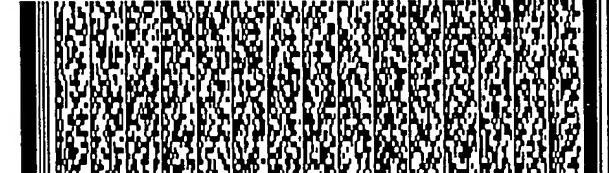
第 15/20 頁



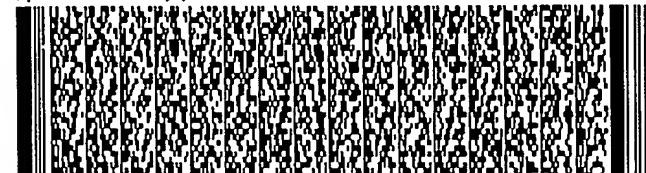
第 16/20 頁



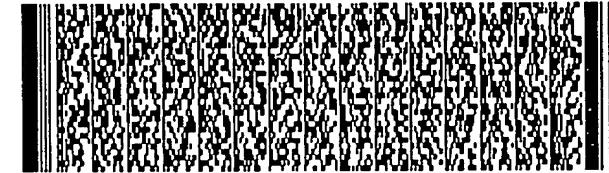
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

